

F-02E70591

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204506

(43)Date of publication of application : 30.07.1999

(51)Int.Cl. H01L 21/3065  
H01L 21/301  
H01L 21/3205

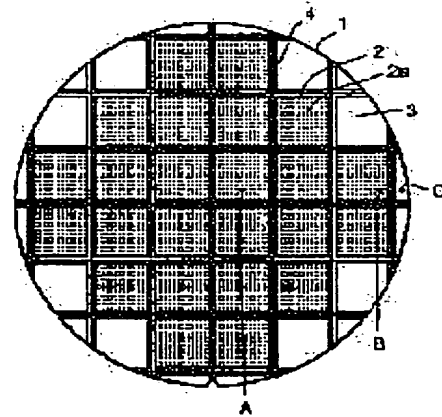
(21)Application number : 10-007384 (71)Applicant : MITSUBISHI ELECTRIC  
CORP

(22)Date of filing : 19.01.1998 (72)Inventor : MORIHARA TOSHINORI

(54) WAFER FORMED WITH CIRCUIT PATTERN AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wafer where a circuit pattern with reduced variations in work dimension such as wiring of each semiconductor chip formed in a wafer is formed.  
SOLUTION: A surface of a wafer 1 is partitioned into element formation regions 2 where a circuit pattern is formed, and element non-forming regions 3. In the element formation region 2, a plurality of chip formation regions 2a are formed. In the element non-forming regions 3, a dummy pattern of the same layer as the circuit pattern is formed. The percentage of the dummy pattern region occupying the element non-forming region 3 is substantially identical with that of the circuit pattern occupying the element formation region 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204506

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/3065

H 0 1 L 21/302

J

21/301

21/78

L

21/3205

21/88

Z

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号

特願平10-7384

(22) 出願日

平成10年(1998) 1月19日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 森原 敏則

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

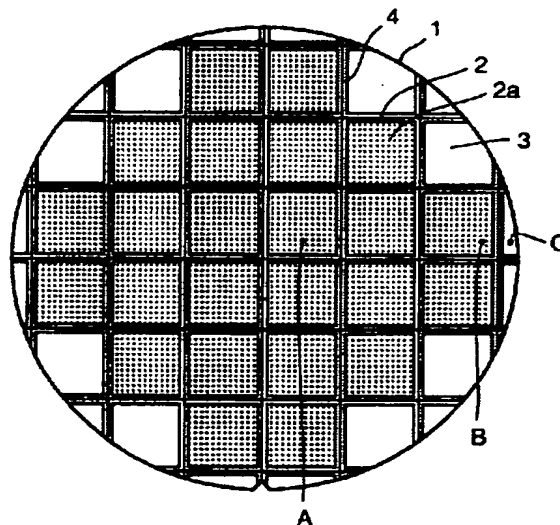
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 回路パターンが形成されたウェハおよびその製造方法

(57) 【要約】

【課題】 ウェハ内に形成される各半導体チップの配線等の加工寸法のばらつきの低減が図られた回路パターンが形成されたウェハを提供する。

【解決手段】 ウェハ1の表面は、回路パターンが形成された素子形成領域2と素子非形成領域3とに区画される。素子形成領域2には、複数のチップ形成領域2aが形成されている。素子非形成領域3には、回路パターンと同じ層からなるダミーパターンが形成されている。ダミーパターンの領域が素子非形成領域3において占める割合が、回路パターンが素子形成領域2において占める割合と実質的に同じである。



1: ウェハ  
2: 素子形成領域  
3: 素子非形成領域  
4: ダイシングライン

**【特許請求の範囲】**

**【請求項1】** ウェハ主表面に形成され、ダイシングラインで区画された複数のチップ形成領域を含む素子形成領域と、

前記ウェハ主表面に形成された、チップを形成しない素子非形成領域と、

前記素子形成領域に形成された、所定の回路パターンと、

所定の前記回路パターンと同じ層からなり、前記素子非形成領域に形成された、前記回路パターンと異なる所定のパターンとを備え、

所定の前記パターンの領域の前記素子非形成領域に占める割合が、前記回路パターンの領域の前記素子形成領域に占める割合と実質的に同じである、回路パターンが形成されたウェハ。

**【請求項2】** ウェハ主表面を、複数のチップ形成領域を含む素子形成領域と、チップを形成しない素子非形成領域とに区切る工程と、

前記ウェハの主表面に、半導体素子を含む回路パターンを形成するための所定の膜を形成する工程と、

前記素子形成領域の前記所定の膜上に、第1フォトレジストパターンを形成する工程と、

前記素子非形成領域の前記所定の膜上に、第2フォトレジストパターンを形成する工程と、

前記第1フォトレジストパターンおよび前記第2フォトレジストパターンをマスクとして、前記所定の膜にエッチングを施す工程とを備え、

前記第2フォトレジストパターンを形成する工程は、前記素子非形成領域において、前記第2フォトレジストパターンの領域が占める割合を、前記素子形成領域において、前記第1フォトレジストパターンの領域が占める割合と実質的に同じにする、回路パターンが形成されたウェハの製造方法。

**【請求項3】** 前記第2フォトレジストパターンを形成する工程は、前記第2フォトレジストパターンを形成するためのフォトマスクとして、前記第1フォトレジストパターン形成するためのフォトマスクにおける露光光を透過させる領域と遮光する領域との比と実質的に同じ比になる透過領域と遮光領域とが形成されたフォトマスクを用いる、請求項2記載の回路パターンが形成されたウェハの製造方法。

**【請求項4】** 前記第2フォトレジストパターンを形成する工程は、フォトマスクを透過してフォトレジストに実質的に照射される露光光の露光量を調整することにより行なう、請求項2または3に記載の回路パターンが形成されたウェハの製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、回路パターンが形成されたウェハおよびその製造方法に関し、特に、ウェ

ハ面内における加工精度ばらつきが低減される回路パターンが形成されたウェハおよびその製造方法に関するものである。

**【0002】**

**【従来の技術】** 従来の回路パターンが形成されたウェハの一例について図を用いて説明する。図14を参照して、ウェハ101の表面は、所定の半導体素子を含む回路パターンが形成された素子形成領域102と、ウェハ101周辺近傍の素子非形成領域103とに区画される。素子形成領域102では、ダイシングライン104で区画された複数のチップ形成領域102aが形成されている。素子非形成領域103では、面積上回路パターンを完全に形成することができない。このため、素子非形成領域103では、パターニングは施されていない。

**【0003】** 次に、上述した回路パターンが形成されたウェハの製造方法の一例について、図14中に示すA、BおよびC点付近における断面図を用いて説明する。図15を参照して、シリコン基板105上に活性領域を形成するための素子分離膜106を形成する。次に、図16を参照して、シリコン基板105上に、シリコン酸化膜107を形成する。そのシリコン酸化膜107上に、ポリシリコン膜とタングステンシリサイド膜とを積層させた導電膜108を形成する。

**【0004】** 次に図17を参照して、導電膜108上にフォトレジスト（図示せず）を塗布するとともに、所定の写真製版を施しフォトレジスト109aを形成する。このとき、C点を含む素子非形成領域内のフォトレジストにはパターニングは施されず、フォトレジスト109bとして存在している。

**【0005】** 次に図18を参照して、フォトレジスト109a、109bをマスクとして、CF<sub>4</sub>などのエッチングガスを用い、導電膜108およびシリコン酸化膜107に異方性エッチングを施し、ゲート電極108aおよびゲート酸化膜107aを形成する。C点近傍では、導電膜108bおよびシリコン酸化膜107bがエッチングが施されずに残っている。その後、フォトレジスト109a、109bを除去する。

**【0006】** 次に図19を参照して、ゲート電極108aを挟んで、シリコン基板105の表面に1対のソース・ドレイン領域110a、110bを形成する。ゲート電極108aの両側面にサイドウォール111を形成する。ゲート電極108aおよびサイドウォール111を覆うように、シリコン基板105上にシリコン酸化膜112を形成する。これにより、素子形成領域には、ゲート電極108aと1対のソース・ドレイン領域110a、110bとを含むMOSトランジスタが形成される。

**【0007】** 次に図20を参照して、シリコン酸化膜112にソース・ドレイン領域110a、110bの表面を露出するコンタクトホールを形成するとともに、その

コンタクトホールを埋込むようにポリシリコン膜などの導電体114を形成する。その後、シリコン酸化膜112上に、所定の導電膜（図示せず）を形成する。その導電膜上に所定のフォトレジストパターン（図示せず）を形成する。そのフォトレジストパターンをマスクとして、導電膜に異方性エッチングを施し、導電体114に電氣的に接続される第1配線113を形成する。このとき、素子非形成領域では、導電膜に異方性エッチングが施されないため、導電膜は導電層113aとして存在している。

【0008】次に、第1配線113を覆うように、シリコン酸化膜112上に層間絶縁膜115を形成する。その後、第1配線113を形成した方法と同様の方法により、第2配線116を形成する。このとき、C点を含む素子非形成領域では、導電層116aが存在している。次に、第2配線層116を覆うように層間絶縁膜117を形成する。この後、パッシベーション膜（図示せず）等を形成してウェハが完成する。

【0009】完成したウェハにおけるA点やB点を含む素子形成領域の各チップ形成領域では、MOSトランジスタなどの半導体素子や配線を含む回路パターンが形成されている。

【0010】一方、C点を含む素子非形成領域では、半導体素子や配線を形成するための所定の膜が、パターニングが施されずにそのまま残っている。

【0011】

【発明が解決しようとする課題】しかしながら、上述した製造方法によって得られたウェハでは、以下に示すような問題点があった。たとえば、図18に示す工程では、ゲート電極108aを形成するために、導電膜にエッチングが施される。このとき、素子形成領域では、ゲート電極を形成するための所定のパターニングが施されたフォトレジスト109aが導電膜108上に形成されている。

【0012】一方、ウェハ周辺の素子非形成領域では、ゲート電極を形成しないため、パターニングが施されていないフォトレジスト109bが導電膜108上を覆っている。そのフォトレジスト109a、109bをマスクとして、導電膜108に異方性エッチングが施される。

【0013】異方性エッチングは、通常ドライエッチング技術が適用される。ドライエッチングの基本原理は、被エッチング膜と反応して揮発性物質を生成させるようなガスを供給するとともに、プラズマ放電励起によってそのガスを活性化させ、反応を促進させてエッチングを行なうものである。このため、エッチングによる加工形状は、ガスの流量や、プラズマのパワーに大きく依存している。実際のプロセスでは、ウェハはドライエッチング装置のチャンバ内に配置されて、そのチャンバ内にガスが供給される。そして、ウェハの表面はプラズマに晒

される。

【0014】このとき、ウェハの素子非形成領域においてフォトレジストの領域の占める割合は、素子形成領域においてフォトレジストの領域の占める割合よりも十分に大きい。このため、ウェハ周辺のフォトレジストには、容易に電荷が蓄積されやすい。この蓄積された電荷の影響を受けて、素子形成領域内でも、ウェハ中央近傍の位置Aと素子非形成領域近傍の位置Bとで、ガスと被エッチング膜との反応に差が生じることがあった。このため、特に素子非形成領域近傍の位置Bにおけるゲート絶縁膜の加工形状として、図21に示すように、所定の幅よりも短いゲート電極108cおよびゲート酸化膜107cが形成されることがあった。また、ガス流量やプラズマのパワーによっては、所定の幅よりも長いゲート電極108dおよびゲート酸化膜107dが形成されることがあった。

【0015】このような加工形状の違いは、ゲート電極に限られず、たとえば、図20に示す工程において形成される第1配線113、第2配線116についても、同様な理由によって発生することがあった。その結果、第1配線、第2配線およびゲート電極の配線抵抗が変動して、ウェハ内に形成される半導体チップの電氣的特性に、ばらつきが生じることがあった。

【0016】本発明は上記問題点を解決するためになされたものであり、ウェハ内に形成される各半導体チップの配線等の加工寸法のばらつきの低減が図られる、回路パターンが形成されたウェハとその製造方法とを提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の1つの局面における回路パターンが形成されたウェハは、素子形成領域と、素子非形成領域と、所定の回路パターンと、所定のパターンとを備えている。素子形成領域は、ウェハ主表面に形成され、ダイシングラインで区画された複数のチップ形成領域を含んでいる。素子非形成領域は、ウェハ主表面に形成され、チップを形成しない。所定の回路パターンは、素子形成領域に形成されている。所定のパターンは、素子非形成領域に形成され、所定の回路パターンと同じ層からなり、回路パターンと異なっている。所定のパターンの領域の素子非形成領域に占める割合が、回路パターンの領域の素子形成領域に占める割合と実質的に同じである。

【0018】本発明の他の局面における回路パターンが形成されたウェハの製造方法は、以下の工程を備えている。ウェハ主表面を、複数のチップ形成領域を含む素子形成領域と、チップを形成しない素子非形成領域とに区切る。ウェハの主表面に、絶縁膜を形成する。その絶縁膜上に、半導体素子を含む回路パターンを形成するための所定の膜を形成する。素子形成領域の所定の膜上に、第1フォトレジストパターンを形成する。素子非形成領

域の所定の膜上に、第2フォトリソパターンを形成する。第1フォトリソパターンおよび第2フォトリソパターンをマスクとして、所定の膜にエッチングを施す。第2フォトリソパターンを形成する工程は、素子非形成領域において、第2フォトリソパターンの領域が占める割合を、素子形成領域において第1フォトリソパターンの領域が占める割合と実質的に同じになるようにする。

【0019】好ましくは、第2フォトリソパターンを形成する工程は、第2フォトリソパターンを形成するためのフォトマスクとして、第1フォトリソパターン形成するためのフォトマスクにおける露光光を透過させる領域と遮蔽する領域との比と実質的に同じ比になる透過領域と遮光領域とが形成されたフォトマスクを用いる。

【0020】また好ましくは、第2フォトリソパターンを形成する工程は、フォトマスクを透過してレジストに実質的に照射される露光光の露光量を変えることによって行なう。

#### 【0021】

【発明の実施の形態】本発明の実施の形態に係る回路パターンが形成されたウェハと、その製造方法について図を用いて説明する。まず図1を参照して、ウェハ1の表面は、所定の半導体素子を含む回路パターンが形成された素子形成領域2と、ウェハ1の周辺近傍の素子非形成領域3とに区画される。素子形成領域102では、ダイシングライン4で区画された複数のチップ形成領域2aが形成されている。素子非形成領域3は、面積上、チップ形成領域を完全に形成することができない領域である。この素子非形成領域3では、回路パターンと同じ層からなる所定のパターンとしてのダミーパターンが形成されている。

【0022】このダミーパターンは、ダミーパターンの領域の素子非形成領域3に占める割合が、素子形成領域2に占める回路パターンの領域の割合と実質的に同じになるように形成されている。回路パターンとダミーパターンとを同時に形成することにより、素子形成領域内の回路パターンの加工寸法のばらつきが低減される。これについては、後に詳しく説明する。

【0023】次に、上述した回路パターンが形成されたウェハの製造方法の一例について、ウェハ1内のA点、B点およびC点付近における断面図を用いて説明する。なお、A点およびB点は、図1中に示す素子形成領域2内のそれぞれ中央近傍および外周近傍の位置である。C点は、素子非形成領域3内の任意の位置である。

【0024】まず図2を参照して、シリコン基板5上に活性領域を形成するための素子分離膜6を形成する。次に、図3を参照して、シリコン基板5上にシリコン酸化膜7を形成する。そのシリコン酸化膜7上に、たとえば、ポリシリコン膜とタンゲステンシリサイド膜とを積

層させた導電膜8を形成する。

【0025】次に図4を参照して、導電膜8上にフォトリソ（図示せず）を塗布するとともに、所定の写真製版を施し、第1フォトリソパターンとしてのフォトリソ9aを形成する。このとき、素子非形成領域内のC点近傍のフォトリソには、ダミーパターンを形成するための、第2フォトリソパターンとしてのフォトリソ9bを形成する。

【0026】フォトリソ9bの領域が素子非形成領域において占める割合は、フォトリソ9aの領域が素子形成領域において占める割合と実質的に同じである。なお、フォトリソ9bのパターンの例については、後で詳しく説明するが、フォトリソ9aのパターンの最小寸法よりも、1桁から2桁程度大きい寸法からなるパターンが好ましい。

【0027】次に図5を参照して、フォトリソ9a、9bをマスクとして、導電膜8およびシリコン酸化膜7に異方性エッチングを施す。異方性エッチングは従来の技術の項において説明したように、ドライエッチング装置のチャンバ内に、たとえばCF<sub>4</sub>などのガスを導入することによって行なわれる。このとき、ウェハはプラズマにさらされる。フォトリソ9bは、上述した条件をもって形成されているため、従来の技術の場合のように、過度に電荷が蓄積されるようなことはなくなる。

【0028】このため、特にB点近傍では、ガスと導電膜8との反応が電荷による影響を受けることが抑制され、A点近傍とほぼ同様な所定幅のゲート電極8aおよびゲート酸化膜7aが形成される。これにより、素子形成領域内において、ゲート電極8aの加工寸法のばらつきが低減する。また、素子非形成領域では、導電膜8b、シリコン酸化膜7bからなるダミーパターン21aが形成される。その後、フォトリソ9a、9bを除去する。

【0029】次に図6を参照して、ゲート電極8aを挟んでシリコン基板5の表面に、1対のソース・ドレイン領域10a、10bを形成する。ゲート電極8aの両側面に、サイドウォール11を形成する。ゲート電極8aおよびサイドウォール11を覆うように、シリコン基板5上にシリコン酸化膜12を形成する。これにより、素子形成領域には、ゲート電極8aと1対のソース・ドレイン領域10a、10bとを含むMOSトランジスタが形成される。

【0030】次に図7を参照して、シリコン酸化膜12に、ソース・ドレイン領域10a、10bの表面を露出するコンタクトホールを形成するとともに、そのコンタクトホール埋込むようにポリシリコン膜などの導電体14を形成する。その後、シリコン酸化膜12上に、所定の導電膜（図示せず）を形成する。その導電膜上に所定のフォトリソパターン（図示せず）を形成する。

【0031】この工程では、図4に示す工程と同様に、第1配線13を形成するためのフォトレジストのパターンと、ダミーパターン21bを形成するためのフォトレジストのパターンとが形成される。そのフォトレジストのパターンをマスクとして、導電膜に異方性エッチングが施される。このとき、図5に示す工程において説明した理由と同様の理由により、素子形成領域内における第1配線13の加工寸法のばらつきが低減する。

【0032】次に、第1配線13およびダミーパターン21bを覆うようにシリコン酸化膜12上へ層間絶縁膜15を形成する。その後、第1配線13を形成した方法と同様の方法を用いて、第2配線16およびダミーパターン21cを形成する。第2配線16も、第1配線13と同様に、素子形成領域内において、加工寸法のばらつきが低減している。

【0033】次に、第2配線16およびダミーパターン21cを覆うように層間絶縁膜17を形成する。この後、パッシベーション膜（図示せず）等を形成してウェハが完成する。完成したウェハの素子形成領域2内の各チップ形成領域2aでは、ゲート電極8a、第1配線13、第2配線16等の加工寸法のばらつきが低減されているため、ウェハ内の半導体チップの電気的特性のばらつきが低減する。

【0034】次に、ウェハの素子非形成領域に形成されるダミーパターンの具体例について説明する。図4に示す工程において説明したように、フォトレジスト9bの領域が非形成領域において占める割合（割合A）が、フォトレジスト9aの領域が素子形成領域において占める割合（割合B）と実質的に同じになるように、フォトレジスト9bが形成されている。

【0035】そこで、たとえば、素子形成領域における割合Bが50%であるとする。この場合には、素子非形成領域には、図8または図9に示すような、フォトレジスト20aの幅と隣接するフォトレジスト20aの間隔とが等しいストライプ状のフォトレジストのパターンを形成してもよい。また、図10または図11に示すように、複数の矩形のフォトレジスト20bを、それぞれの4隅で接するように配置させたフォトレジストのパターンを形成してもよい。

【0036】上述したフォトレジストのパターンは、それぞれのパターンに対応する透過領域と遮光領域とが形成されたフォトマスクを用いて露光光をフォトレジストに照射し、現像することによって得られる。この場合には、フォトマスクの透過領域と遮光領域との面積比は、実質的に同じになる。

【0037】フォトレジストのパターンの大きさとしては、たとえば、回路パターンのデザインルールが0.2  $\mu\text{m}$ であれば、図8～図11に示すL、S、A、Bは、10  $\mu\text{m}$ 程度であるのが望ましい。このようなフォトレジストのパターンをマスクとして形成されたダミーパ

ターンは、容易に剥がれることがなく、ウェハ周辺からの発塵を抑制することができる。

【0038】ところで、半導体素子や配線などの回路パターンは、複数の所定の膜を堆積することによって形成される。しかも、回路パターンの領域の素子形成領域において占める割合は、各所定の膜によって異なることがある。このとき、素子非形成領域にそれぞれ対応するダミーパターンを形成するために、フォトマスクを用意するのは製造コストの上昇を招く。

【0039】そこで、フォトマスクを透過してレジストに照射される露光光の露光量を増減することによって、対応するフォトレジストのパターンを形成するのが望ましい。たとえば、図12や図13に示すフォトマスク22、23のパターンでは、透過領域22b、23bと遮光領域22a、23aとの面積の比は1対1ではなく、透過領域22b、23bより遮光領域22a、23aの方が広い。このようなフォトマスク22、23を用いて、ネガレジストに露光光を照射させて現像した場合には、ホールや矩形状のフォトレジストのパターンが形成される。そのフォトレジストパターンの領域が素子非形成領域において占める割合は、50%よりも小さい。

【0040】このとき、ネガレジストに照射する露光光の露光量を増加することによって、そのフォトレジストのホールや矩形のサイズを設計寸法よりも大きく形成することができる。その結果、図8～図11の場合と同様に、フォトレジストの領域とフォトレジストが被覆されていない領域との面積の比がほぼ1対1になるようなフォトレジストパターンを形成することができる。つまり、素子非形成領域において、割合Aが50%のフォトレジストパターンを形成することができる。

【0041】これにより、回路パターンに対応する各ダミーパターンを形成するためのフォトマスクとしては、各ダミーパターンを形成する際の露光量を調整することにより、1枚のフォトマスクで対応できることになる。その結果、製造コストの上昇を最小限に抑えることができる。

【0042】なお、今回開示された実施の形態はすべての点の例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記で説明した範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲でのすべての変更が含まれることが意図される。

【0043】

【発明の効果】本発明の1つの局面における回路パターンが形成されたウェハは、素子形成領域と、素子非形成領域と、所定の回路パターンと、所定のパターンとを備えている。素子形成領域は、ウェハ主表面に形成され、ダイシングラインで区画された複数のチップ形成領域を含んでいる。素子非形成領域は、ウェハ主表面に形成され、チップを形成しない。所定の回路パターンは、素子

形成領域に形成されている。所定のパターンは、素子非形成領域に形成され、所定の回路パターンと同じ層からなり、回路パターンと異なっている。所定のパターンの領域の素子非形成領域に占める割合が、回路パターンの領域の素子形成領域に占める割合と実質的に同じである。

【0044】この構造によれば、回路パターンと所定のパターンとを形成する際に、回路パターンを形成するための層上には、フォトレジストパターンが形成される。このとき、素子非形成領域のフォトレジストのパターンの領域が素子非形成領域において占める割合が、素子形成領域のフォトレジストパターンの領域が素子形成領域において占める割合と実質的に同じになる。これにより、エッチングの際に、素子非形成領域に形成されたフォトレジストのパターンと素子形成領域に形成されたフォトレジストのパターンとにおいて、素子非形成領域に形成されたフォトレジストのパターンに過度に電荷が蓄積されることがなくなる。このため、素子形成領域内における外周近傍の位置と中央近傍の位置とにおいて、電荷による影響が抑制されて、異方性エッチングによる回路パターンの加工寸法のばらつきが低減する。その結果、半導体チップの加工寸法のばらつきの低減が図られたウェハが得られる。

【0045】本発明の他の局面における回路パターンが形成されたウェハの製造方法は、以下の工程を備えている。ウェハ主表面を、複数のチップ形成領域を含む素子形成領域と、チップを形成しない素子非形成領域とに区切る。ウェハの主表面に、絶縁膜を形成する。その絶縁膜上に、半導体素子を含む回路パターンを形成するための所定の膜を形成する。素子形成領域の所定の膜上に、第1フォトレジストパターンを形成する。素子非形成領域の所定の膜上に、第2フォトレジストパターンを形成する。第1フォトレジストパターンおよび第2フォトレジストパターンをマスクとして、所定の膜にエッチングを施す。第2フォトレジストパターンを形成する工程は、素子非形成領域において、第2フォトレジストパターンの領域が占める割合を、素子形成領域において第1フォトレジストパターンの領域が占める割合と実質的に同じになるようにする。

【0046】この製造方法によれば、素子非形成領域において、第2フォトレジストパターンの領域が占める割合が、素子形成領域において、第1フォトレジストパターンの領域が占める割合と実質的に同じになる。このため、所定の膜にエッチングを施す工程の際に、第1フォトレジストパターンと第2フォトレジストパターンとにおいて、第2フォトレジストパターンに過度に電荷が蓄積されることが抑制される。これにより、電荷による影響が抑制されて、素子形成領域内における外周近傍の位置と中央近傍の位置とにおいて、回路パターンの加工寸法のばらつきが低減する。その結果、ウェハ内の各半導

体チップの回路パターンの加工寸法のばらつきが低減されたウェハを製造することができる。

【0047】好ましくは、第2フォトレジストパターンを形成する工程は、第2フォトレジストパターンを形成するためのフォトマスクとして、第1フォトレジストパターン形成するためのフォトマスクにおける露光光を透過させる領域と遮蔽する領域との比と実質的に同じ比になる透過領域と遮光領域とが形成されたフォトマスクを用いる。

【0048】この場合には、上述した所定の比を有する任意の透過および遮光領域が形成されたフォトマスクを用いて、たとえば、回路パターンの幅に比べて十分に大きいフォトレジストパターンを形成することができる。このフォトレジストパターンをマスクとして所定の膜から形成されたパターンは、素子非形成領域から容易に剥がれるようなことがなくなる。その結果、ウェハ周辺から発生する異物が低減する。

【0049】また好ましくは、第2フォトレジストパターンを形成する工程は、フォトマスクを透過してレジストに実質的に照射される露光光の露光量を変えることによって行なう。

【0050】半導体チップの回路パターンは、複数の所定の膜を確保することによって形成される。そして、回路パターンをなす所定の膜の領域の素子形成領域に占める割合は、各所定の膜によって異なることがある。このような場合でも、露光装置の露光量を調整することにより、たとえば1枚のフォトマスクでもって各所定の膜上に所定の第2フォトレジストパターンを形成することができる。これにより、第2フォトレジストパターンを形成するために必要なフォトマスクの枚数が最小限に抑えられ、製造コストの上昇を最小限に抑えることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態に係る回路パターンが形成されたウェハの一平面図である。

【図2】 本発明の実施の形態に係る回路パターンが形成されたウェハの製造方法の一工程を示す断面図である。

【図3】 同実施の形態において、図2に示す工程の後に行なわれる工程を示す断面図である。

【図4】 同実施の形態において、図3に示す工程の後に行なわれる工程を示す断面図である。

【図5】 同実施の形態において、図4に示す工程の後に行なわれる工程を示す断面図である。

【図6】 同実施の形態において、図5に示す工程の後に行なわれる工程を示す断面図である。

【図7】 同実施の形態において、図6に示す工程の後に行なわれる工程を示す断面図である。

【図8】 ダミーパターンを形成するためのフォトレジストのパターンの第1の例を示す平面図である。

【図9】 ダミーパターンを形成するためのフォトリジストのパターンの第2の例を示す平面図である。

【図10】 ダミーパターンを形成するためのフォトリジストのパターンの第3の例を示す平面図である。

【図11】 ダミーパターンを形成するためのフォトリジストのパターンの第4の例を示す平面図である。

【図12】 ダミーパターンを形成するための第1のフォトマスクのパターンの平面図である。

【図13】 ダミーパターンを形成するための第2のフォトマスクのパターンの平面図である。

【図14】 従来の回路パターンが形成されたウェハの一平面図である。

【図15】 従来の回路パターンが形成されたウェハの製造方法の一工程を示す断面図である。

【図16】 図15に示す工程の後に行なわれる工程を示す断面図である。

【図17】 図16に示す工程の後に行なわれる工程を示す断面図である。

【図18】 図17に示す工程の後に行なわれる工程を示す断面図である。

【図19】 図18に示す工程の後に行なわれる工程を示す断面図である。

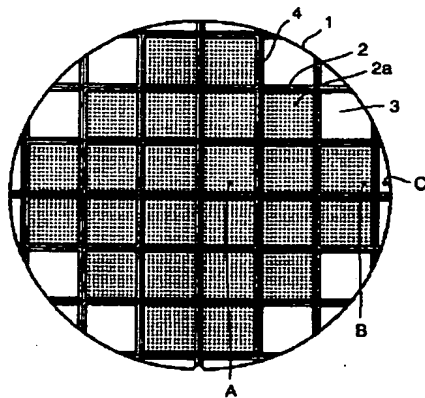
【図20】 図19に示す工程の後に行なわれる工程を示す断面図である。

【図21】 従来の製造方法の問題点を示す一断面図である。

#### 【符号の説明】

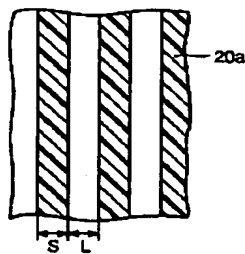
1 ウェハ、2 素子形成領域、3 素子非形成領域、4 ダイシングライン、5 シリコン基板、6 素子分離膜、7、7b、12 シリコン酸化膜、7a ゲート酸化膜、8、8b 導電膜、8a ゲート電極、9a、9b フォトリジスト、10a、10b ソース・ドレイン領域、11 サイドウォール、13 第1配線、13a、16a 導電層、14 導電体、15、17 層間絶縁膜、16 第2配線、20 フォトリジスト、21a、21b、21c ダミーパターン。

【図1】

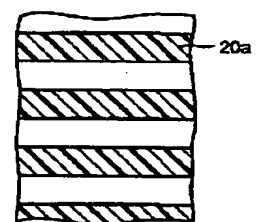


- 1: ウェハ  
2: 素子形成領域  
3: 素子非形成領域  
4: ダイシングライン

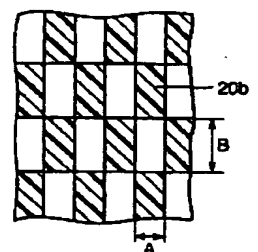
【図8】



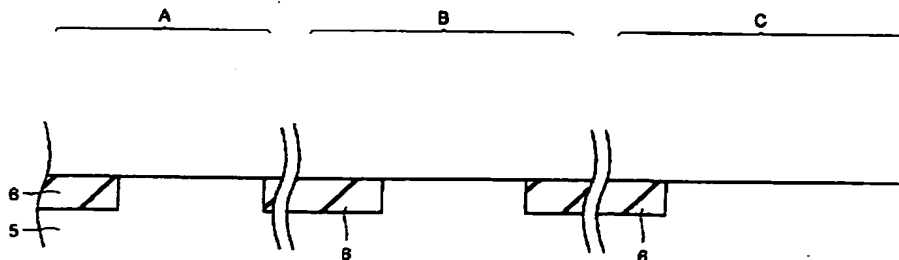
【図9】



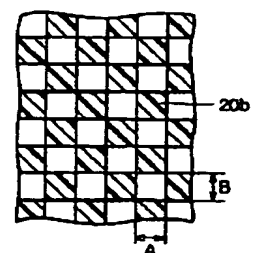
【図10】



【図2】

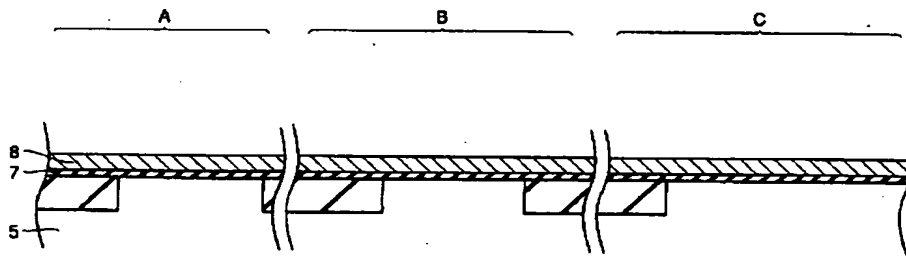


【図11】

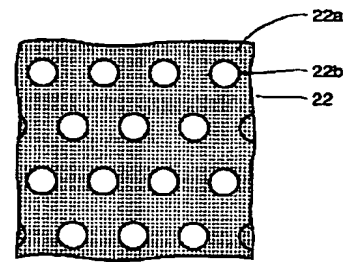




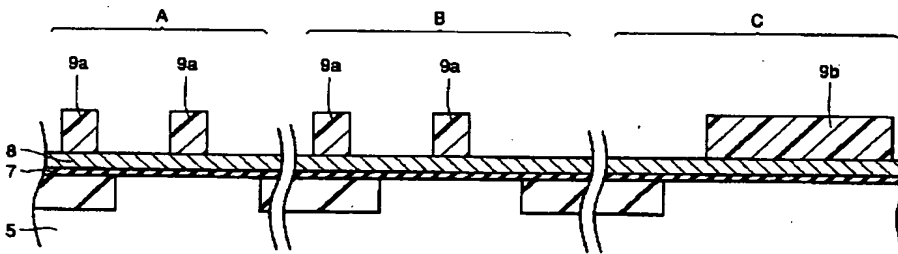
【図3】



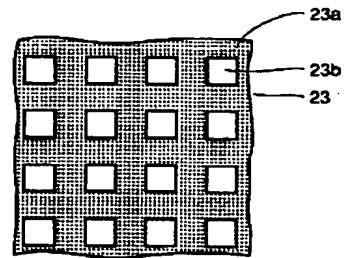
【図12】



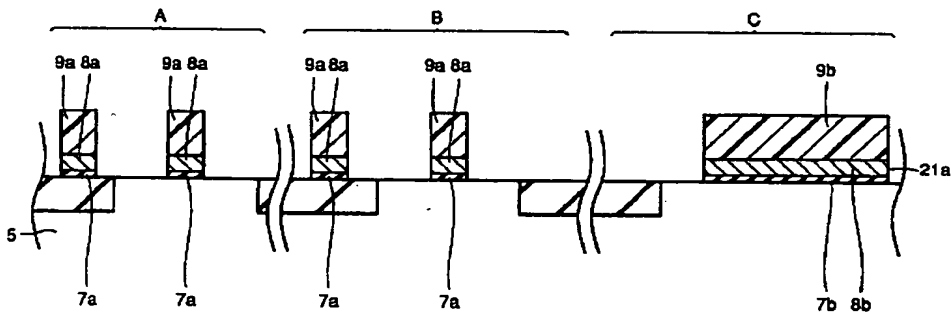
【図4】



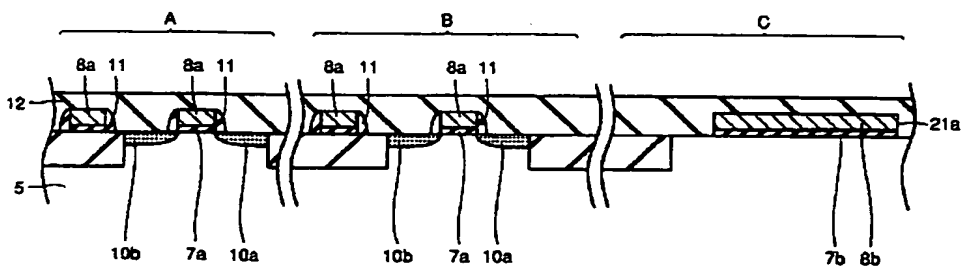
【図13】



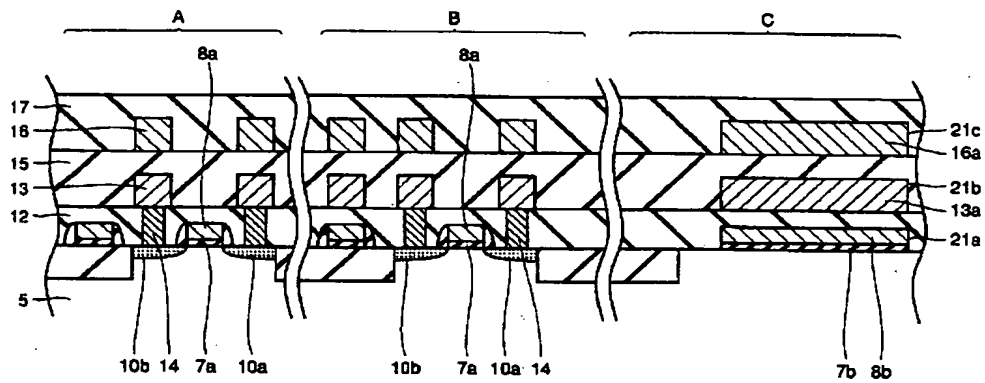
【図5】



【図6】

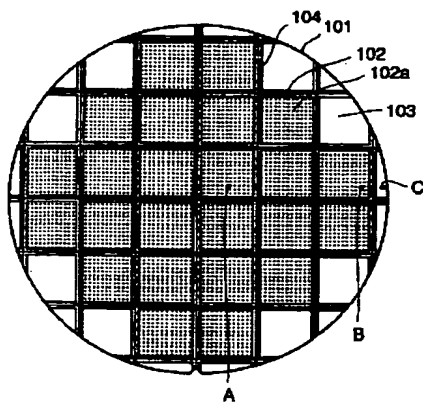


【図 7】

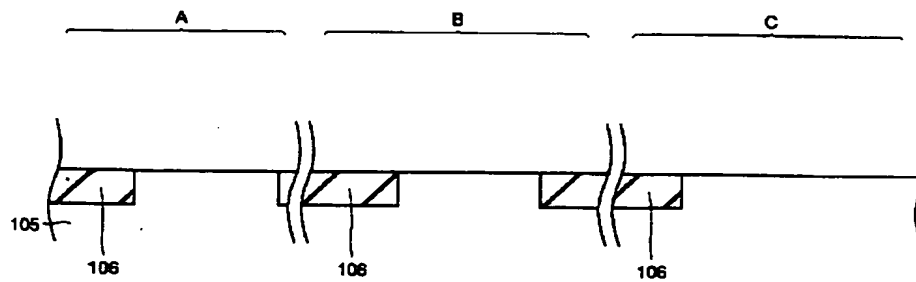


21a, 21b, 21c: ダミーパターン

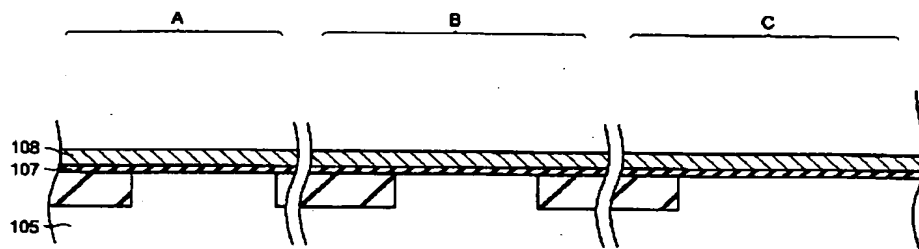
【図 14】



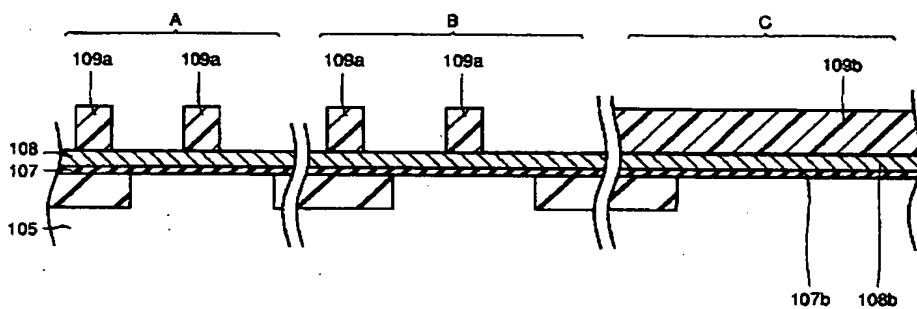
【図 15】



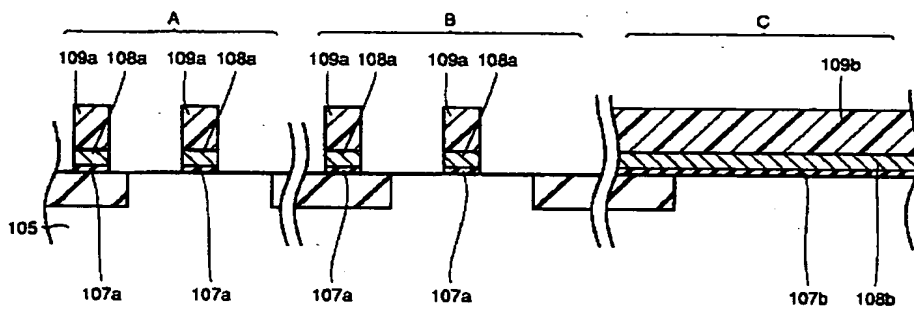
【図16】



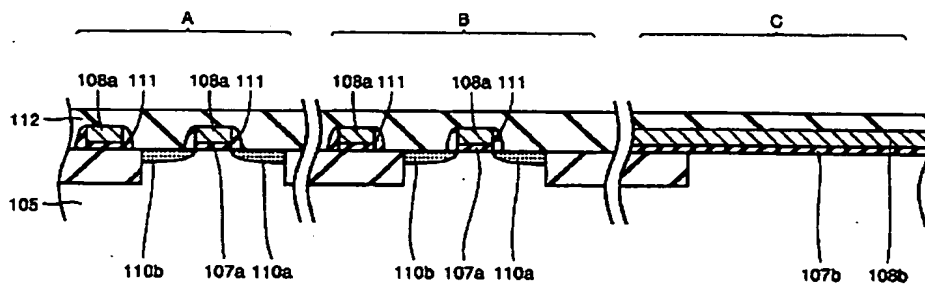
【図17】



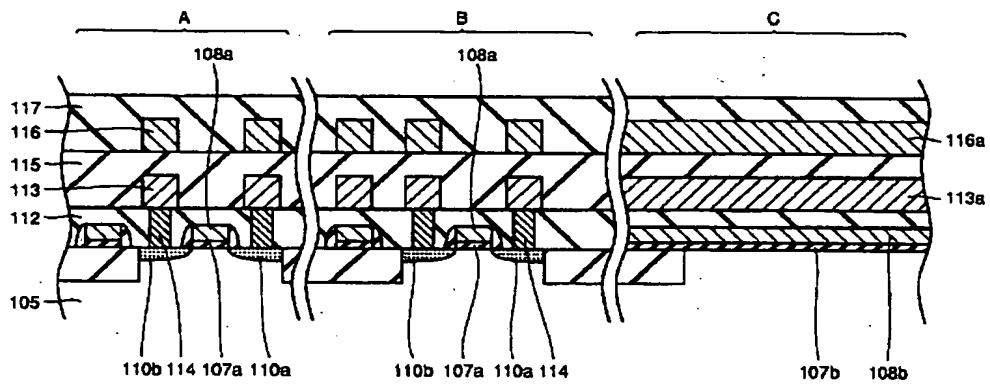
【図18】



【図19】



【図20】



【図21】

